

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:	Takahiro Miyazaki	TIJ-35413
Serial No:	TBD	Art Unit: TBD
Filed:	Herewith	Examiner: TBD
For:	DC-DC Converter and DC-DC Converter Drive Circuit	

**TRANSMITTAL LETTER ACCOMPANYING CERTIFIED COPY OF
PRIORITY APPLICATION UNDER 35 U.S.C. §119**

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Submitted herewith is a certified copy of Japanese Patent Application No. 2002-318327, filed on October 31, 2002, in the Japanese Patent Office and from which priority under 35 U.S.C. §119 is claimed for the above-identified application.

Respectfully submitted,



Alan K. Stewart
Attorney for Applicant
Reg. No. 35,373

Texas Instruments Incorporated
P.O. Box 655474, MS 3999
Dallas, TX 75265
(972) 917-5466

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 3 1 日
Date of Application:

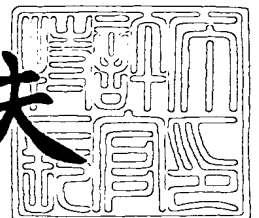
出 願 番 号 特 願 2 0 0 2 - 3 1 8 3 2 7
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 1 8 3 2 7]

出 願 人 日本テキサス・インスツルメンツ株式会社
Applicant(s):

2 0 0 3 年 9 月 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



T1J-35413 (2002J030)

出証番号 出証特 2 0 0 3 - 3 0 7 2 9 3 9

【書類名】 特許願

【整理番号】 020447

【提出日】 平成14年10月31日

【あて先】 特許庁長官殿

【国際特許分類】 H02M 3/155

【発明の名称】 D C - D C コンバータ及びD C - D C コンバータの駆動回路

【請求項の数】 10

【発明者】

 【住所又は居所】 大分県速見郡日出町大字川崎字高尾 4 2 6 0 番地 日本
 テキサス・インスツルメンツ株式会社内

 【氏名】 宮崎 孝博

【特許出願人】

 【識別番号】 390020248

 【氏名又は名称】 日本テキサス・インスツルメンツ株式会社

【代理人】

 【識別番号】 100094053

 【弁理士】

 【氏名又は名称】 佐藤 隆久

【手数料の表示】

 【予納台帳番号】 014890

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9102925

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 DC-DCコンバータ及びDC-DCコンバータの駆動回路

【特許請求の範囲】

【請求項 1】

出力電圧に応じた電圧と第 1 の基準電圧との誤差に基づき、誤差信号を出力する誤差検出部と、

上記誤差検出部によって出力された上記誤差信号に応じたデューティをもつパルス幅変調信号を出力するパルス幅変調部と、

入力電圧と第 2 の基準電圧とを比較し、当該比較結果に応じて動作モードを第 1 のモードから第 2 のモードに切り替える動作モード制御部と、

上記動作モード制御部によって設定した動作モードにおいて、上記パルス幅変調信号に応じてスイッチング動作を行い、出力電圧を所望の値に保持するスイッチング部と、

上記動作モードを切り替えたとき、上記パルス幅変調信号のデューティを補正し、上記出力電圧の変動を抑制する補正部と

を有する DC-DC コンバータ。

【請求項 2】

上記パルス幅変調部は、上記誤差信号に応じて生成された変調基準信号と所望の周期をもつ交流信号とを比較し、当該比較結果に応じて所望のデューティをもつ上記パルス幅変調信号を出力する比較回路を

有する請求項 1 記載の DC-DC コンバータ。

【請求項 3】

上記補正部は、上記動作モードの切り替えを制御する信号に応じて、上記変調基準信号のレベルを調整する

請求項 2 記載の DC-DC コンバータ。

【請求項 4】

上記補正部は、上記動作モードの切り替えを制御する信号に応じて、所定の時間において上記変調基準信号のレベルを調整する

請求項 2 記載の DC-DC コンバータ。

【請求項 5】

上記補正部は、上記動作モードの切り替えを制御する信号に応じて、所定の幅をもつパルス信号を生成し、当該パルス信号に応じて上記変調基準信号のレベルを調整する

請求項 2 記載の D C - D C コンバータ。

【請求項 6】

第 1 の電源電圧端子とインダクタンス素子の一方の端子との間に接続された第 1 のスイッチング素子と、上記インダクタンス素子の一方の端子と第 2 の電源電圧端子との間に接続された第 2 のスイッチング素子と、上記インダクタンス素子の他方の端子と電圧出力端子との間に接続された第 3 のスイッチング素子と、上記インダクタンス素子の他方の端子と第 2 の電源電圧端子との間に接続された第 4 のスイッチング素子と、上記電圧出力端子に接続された出力コンデンサとを有する D C - D C コンバータの上記第 1、第 2、第 3 及び第 4 のスイッチング素子を駆動する駆動回路であって、

上記電圧出力端子の出力電圧に応じた電圧と第 1 の基準電圧とを比較して誤差信号を出力する誤差出力部と、

上記誤差信号に応じた制御電圧と所定の周波数の交流信号とを比較してパルス幅変調信号を生成するパルス幅変調信号生成部と、

上記第 1 の電源電圧端子に供給される電圧と第 2 の基準電圧とを比較して第 1 のモード制御信号又は第 2 のモード制御信号を供給するモード制御信号供給部と、

第 1 のモードのときに、上記第 3 のスイッチング素子を導通状態とし、上記第 4 のスイッチング素子を非導通状態として、上記パルス幅変調信号に応じて上記第 1 のスイッチング素子と上記第 2 のスイッチング素子とを交互に導通状態に駆動し、第 2 のモードのときに、上記パルス幅変調信号に応じて上記第 1 及び第 4 のスイッチング素子と上記第 2 及び第 3 のスイッチング素子とを交互に導通状態に駆動する駆動部と、

上記モード制御信号の変化に応じて上記制御電圧を変化させる補正部と、

を有する D C - D C コンバータの駆動回路。

【請求項 7】

上記補正部が、上記第 1 のモードから上記第 2 のモードへの変化に応答して上記制御電圧を低下させる

請求項 6 記載の駆動回路。

【請求項 8】

上記第 1 のモードが降圧モードであり、上記第 2 のモードが昇降圧モードである

請求項 7 記載の駆動回路。

【請求項 9】

上記パルス幅変調信号生成部が、上記誤差信号を制御端子に入力するトランジスタと、上記トランジスタに直列に接続され、上記トランジスタから供給される電流に応じた上記制御電圧を生成する抵抗素子と、上記制御電圧と三角波信号とを入力して上記パルス幅変調信号を生成するコンパレータとを有し、

上記補正部が、上記抵抗素子に接続され、上記モード制御信号に応答して導通するスイッチ回路を有する

請求項 6、7 又は 8 記載の駆動回路。

【請求項 10】

上記駆動部が、上記第 1、第 2、第 3 及び第 4 のスイッチング素子をそれぞれ駆動する第 1、第 2、第 3 及び第 4 のドライバを有し、上記モード制御信号供給部から上記第 1 のモード制御信号が供給されるときに上記第 1 及び第 2 のドライバのみに上記パルス幅変調信号を供給する

請求項 9 記載の駆動回路。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、DC-DC コンバータ、例えば、ステップダウン（降圧型）とクロス（昇降圧型）が交互に切り替えられるスイッチングレギュレータで構成された DC-DC コンバータ及び DC-DC コンバータの駆動回路に関するものである。

【0002】**【従来の技術】**

スイッチングレギュレータは、スイッチング素子とインダクタンス素子、例えばコイルを組み合わせ構成され、入力電圧及び出力電圧に応じてスイッチング素子を制御することによって、常に所望の電圧を負荷回路に供給することが可能である。

【0003】

スイッチングレギュレータの中、入力電圧に応じて動作モードを切り替え可能なものがある。例えば、入力電圧が所定の基準値を上回るとき、ステップダウン、いわゆる降圧モードで動作し、入力電圧が所定の基準値以下になると、動作モードを切り替えて、クロス、いわゆる昇降圧モードで動作する。こうした動作モードの切り替え制御によって、入力電圧の変動にもかかわらず、常に安定した出力電圧を負荷回路に供給することができる。この場合の入力電圧の電圧源としては、時間の経過に伴って出力電圧が低下する二次電池などが挙げられる。

【0004】

図8は上述した動作モード切り替え可能なスイッチングレギュレータの一構成例を示す回路図である。図示のように、このスイッチングレギュレータは、誤差検出部10、パルス幅変調部20、モード制御部30及びスイッチング部40によって構成されている。

【0005】

誤差検出部10は、出力電圧 V_{OUT} を所定の分圧比で分圧する抵抗素子R1、R2、GmアンプGAMP1及び抵抗素子R5とキャパシタC1からなるローパスフィルタによって構成されている。

GmアンプGAMP1は、抵抗素子R1とR2によって得られた分圧電圧、即ち、ノードN1の電圧と所定の基準電圧 V_{REF} とを比較し、当該比較の結果に応じて、誤差電圧 V_{ER} を出力する。

【0006】

パルス幅変調部20は、npnトランジスタQN1、抵抗素子R3、R4及びコンパレータCOMP1によって構成されている。抵抗素子R3とR4は、トラ

ンジスタ QN1 のエミッタと接地電位との間に直列接続され、トランジスタ QN1 のベースに誤差電圧 V_{ER} が入力される。

トランジスタ QN1 と抵抗素子 R3 と R4 は、いわゆるエミッタフォロワを構成している。抵抗素子 R3 と R4 の接続点 N3 から、誤差電圧 V_{ER} に基づいた電圧が出力され、コンパレータ COMP1 の同相（非反転）入力端子（+）に入力される。一方、コンパレータ COMP1 の反転入力端子（-）に、所定の周期の三角波 V_{TR1} が入力される。このため、コンパレータ COMP1 から、誤差電圧 V_{ER} に応じてデューティが制御されるパルス幅変調信号 V_{PWM1} が出力される。なお、ここで、デューティとは、パルス幅変調信号 V_{PWM1} が 1 周期のうちハイレベルに保持されている時間が占める割合をいう。

【0007】

モード制御部 30 は、図示のように pMOS トランジスタ QPM1、nMOS トランジスタ QNM1、バッファ DR01, DR02, DR03, DR04 及びコンパレータ COMP2 によって構成されている。

トランジスタ QPM1 と QNM1 のゲートは、ともにコンパレータ COMP2 の出力端子に接続されている。

コンパレータ COMP2 の同相（非反転）入力端子に入力電圧 V_{IN} が印加され、反転入力端子には、基準電圧 V_2 が入力される。

バッファ DR01 と DR04 は、インバータからなり、入力信号の論理反転信号を出力し、バッファ DR02 と DR03 は、入力信号をそのまま出力する。

【0008】

モード制御部 30 において、入力電圧 V_{IN} が基準電圧 V_2 より高いとき、コンパレータ COMP2 の出力がハイレベルになる。このため、pMOS トランジスタ QPM1 が非導通し、nMOS トランジスタ QNM1 が導通するので、バッファ DR01 と DR02 の入力端子がローレベルに保持される。また、このとき、パルス幅変調信号 V_{PWM1} はバッファ DR03 と DR04 の入力端子に印加される。

一方、入力電圧 V_{IN} が基準電圧 V_2 より低いとき、コンパレータ COMP2 の出力がローレベルにある。このため、pMOS トランジスタ QPM1 が導通し、

nMOSトランジスタQNM1が非導通状態なので、パルス幅変調信号 V_{PWM1} は、バッファDR01～DR04の入力端子に印加される。

【0009】

スイッチング部40は、図示のように、スイッチング素子であるnMOSトランジスタQNM2、QNM3、QNM4、QNM5及びインダクタンス素子であるコイルL1によって構成されている。これらのスイッチング素子とインダクタンス素子は、いわゆるH型ブリッジを構成している。

トランジスタQNM2のゲートにバッファDR03の出力が印加され、トランジスタQNM3のゲートにバッファDR04の出力が印加され、トランジスタQNM4のゲートにバッファDR01の出力が印加され、トランジスタQNM5のゲートにバッファDR02の出力が印加される。

トランジスタQNM2のドレインに、入力電圧 V_{IN} が印加され、トランジスタQNM4のドレインから、出力電圧 V_{OUT} が出力される。なお、トランジスタのQNM4のドレインには、出力コンデンサ C_{OUT} が接続されている。

【0010】

上述したように構成されたスイッチングレギュレータにおいて、モード制御部30によって、入力電圧 V_{IN} に従って動作モードが制御される。例えば、入力電圧 V_{IN} が基準電圧 V_2 より高いとき、トランジスタQNM1が導通状態に保持され、これに応じてバッファDR01とDR02の入力端子がともにローレベルに保持されるので、バッファDR01の出力端子がハイレベル、バッファDR02の出力端子がローレベルにそれぞれ保持される。このため、スイッチング部40において、トランジスタQNM4が導通、トランジスタQNM5が非導通状態にそれぞれ保持される。この場合、パルス幅変調信号 V_{PWM1} に応じて、トランジスタQNM2とQNM3が交互にオン・オフするように制御されるので、スイッチングレギュレータは、降圧モードで動作する。

【0011】

一方、入力電圧 V_{IN} が基準電圧 V_2 より低いとき、トランジスタQPM1が導通状態に保持され、トランジスタQNM1が非導通状態に保持される。このとき、パルス幅変調信号 V_{PWM1} がすべてのバッファDR01～DR04の入力端子に

入力される。これに応じて、スイッチング部 40 において、パルス幅変調信号 V_{PWM1} に応じて、トランジスタ Q_{NM2} と Q_{NM5} が導通し、トランジスタ Q_{NM3} と Q_{NM4} が非導通する状態と、この逆の状態が交互に制御される。即ち、この場合、スイッチングレギュレータは、昇降圧モードで動作する。

【0012】

このように、入力電圧 V_{IN} に従ってスイッチングレギュレータの動作モードを適宜切り替えることによって、入力電圧 V_{IN} のレベル変動に影響されることなく、常に安定した電圧 V_{OUT} を負荷回路に供給することができる。

【0013】

【発明が解決しようとする課題】

ところで、上述した従来の DC-DC コンバータでは、動作モードの切り替えに伴い、出力電圧 V_{OUT} の変動が生じてしまうという不利益がある。

【0014】

図 8 に示すスイッチングレギュレータにおいて、出力電圧 V_{OUT} と所定の基準電圧との誤差に応じて、パルス幅変調信号 V_{PWM1} が生成され、これに従ってスイッチング素子が制御される。即ち、出力電圧 V_{OUT} が所望の値に維持されるようにフィードバック制御ループが形成されている。当該フィードバック制御ループの利得（ループゲイン）が動作モードの切り替えに伴って変化する。

【0015】

以下、シミュレーションの波形を参照して動作モードの切り替えに伴う出力電圧の変動を説明する。

図 9 は、動作モードの切り替えに伴う出力電圧 V_{OUT} の変動を示すシミュレーションの波形図である。図示のように、ここで、例えば入力電圧 V_{IN} が所定の基準電圧 V_2 より高い状態から基準電圧 V_2 以下に変化したときの波形を示している。

【0016】

モード制御部 30 によって、入力電圧 V_{IN} の変動に応じてコンパレータ $COMP2$ の出力端子、即ちノード $N5$ の電圧がハイレベルからローレベルに切り替わる。これに伴って、スイッチングレギュレータは降圧モードから昇降圧モードに

動作モードが切り換わる。降圧モードと昇降圧モードにおける出力電圧 V_{OUT} を制御するフィードバックループの利得は互いに異なっており、降圧モードにおける利得が昇降圧モードにおける利得よりも高い。従って、このフィードバックループの利得は、動作モードが降圧モードから昇降圧モードに切り替わった際に直ちに变化する必要があるが、図 8 に示す回路においては、この利得は直ちに变化せず、徐々に变化することになる。このため、図 9 に示すように、動作モードが切り替えの直後にノード N2 と N3 の電圧が一時的に理想的な値より低くなる。このため、コンパレータ COMP1 により出力されるパルス幅変調信号 V_{PWM1} のデューティが理想的な値より高くなり、出力電圧 V_{OUT} が動作モードの切り替えの直後に一時的に上昇して希望の電圧より高くなる。

【0017】

図 9 に示すシミュレーションの結果では、動作モードが切り替わった直後に出力電圧が所望の理想値より最大で約 12% が高くなることが分かる。このため、動作モードの切り替えによって出力電圧が一時的に上昇し、負荷回路の動作に影響を与えることがある。

【0018】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、入力電圧の変動に従って動作モードを切り替え可能な DC-DC コンバータにおいて、動作モードの切り替えに応じてループゲインを補正することで、動作モードの切り替えに伴う出力電圧の変動を最小限に抑制できる DC-DC コンバータ及び DC-DC コンバータの駆動回路を提供することにある。

【0019】

【課題を解決するための手段】

上記目的を達成するため、本発明の DC-DC コンバータは、出力電圧に応じた電圧と第 1 の基準電圧との誤差に基づき、誤差信号を出力する誤差検出部と、上記誤差検出部によって出力された上記誤差信号に応じたデューティをもつパルス幅変調信号を出力するパルス幅変調部と、入力電圧と第 2 の基準電圧とを比較し、当該比較結果に応じて動作モードを第 1 のモードから第 2 のモードに切り替える動作モード制御部と、上記動作モード制御部によって設定した動作モードに

において、上記パルス幅変調信号に応じてスイッチング動作を行い、出力電圧を所望の値に保持するスイッチング部と、上記動作モードを切り替えたとき、上記パルス幅変調信号のデューティを補正し、上記出力電圧の変動を抑制する補正部とを有する。

【0020】

また、本発明では、好適には、上記パルス幅変調部は、上記誤差信号に応じて生成された変調基準信号と所望の周期をもつ交流信号とを比較し、当該比較結果に応じて所望のデューティをもつ上記パルス幅変調信号を出力する比較回路を有する。

【0021】

また、本発明では、好適には、上記補正部は、上記動作モードの切り替えを制御する信号に応じて、上記変調基準信号のレベルを調整する。

【0022】

さらに、本発明では、好適には、上記補正部は、上記動作モードの切り替えを制御する信号に応じて、所定の時間において上記変調基準信号のレベルを調整する。より具体的に、例えば、上記補正部は、上記動作モードの切り替えを制御する信号に応じて、所定の幅をもつパルス信号を生成し、当該パルス信号に応じて上記変調基準信号のレベルを調整する。

【0023】

上記目的を達成するために、本発明の駆動回路は、第1の電源電圧端子とインダクタンス素子の一方の端子との間に接続された第1のスイッチング素子と、上記インダクタンス素子の一方の端子と第2の電源電圧端子との間に接続された第2のスイッチング素子と、上記インダクタンス素子の他方の端子と電圧出力端子との間に接続された第3のスイッチング素子と、上記インダクタンス素子の他方の端子と第2の電源電圧端子との間に接続された第4のスイッチング素子と、上記電圧出力端子に接続された出力コンデンサとを有するDC-DCコンバータの上記第1、第2、第3及び第4のスイッチング素子を駆動する駆動回路であって、上記電圧出力端子の出力電圧に応じた電圧と第1の基準電圧とを比較して誤差信号を出力する誤差出力部と、上記誤差信号に応じた制御電圧と所定の周波数の

交流信号とを比較してパルス幅変調信号を生成するパルス幅変調信号生成部と、上記第1の電源電圧端子に供給される電圧と第2の基準電圧とを比較して第1のモード制御信号又は第2のモード制御信号を供給するモード制御信号供給部と、第1のモードのときに、上記第3のスイッチング素子を導通状態とし、上記第4のスイッチング素子を非導通状態として、上記パルス幅変調信号に応じて上記第1のスイッチング素子と上記第2のスイッチング素子とを交互に導通状態に駆動し、第2のモードのときに、上記パルス幅変調信号に応じて上記第1及び第4のスイッチング素子と上記第2及び第3のスイッチング素子とを交互に導通状態に駆動する駆動部と、上記モード制御信号の変化に応じて上記制御電圧を変化させる補正部とを有する。

【0024】

【発明の実施の形態】

第1実施形態

図1は本発明に係るDC-DCコンバータの第1の実施形態を示す回路図である。

図示のように、本実施形態のDC-DCコンバータは、誤差検出部10、パルス幅変調部20、モード制御部30、スイッチング部40及びループゲイン補正部50によって構成されている。

【0025】

以下、本実施形態のDC-DCコンバータの各構成部分について説明する。

誤差検出部10は、図1に示すように、出力電圧 V_{OUT} を所定の分圧比で分圧する抵抗素子R1とR2、GmアンプGMAMP1、及びローパスフィルタを構成する抵抗素子R5、キャパシタC1によって構成されている。

【0026】

GmアンプGMAMP1は、抵抗素子R1とR2によって得られた分圧電圧、即ち、ノードN1の電圧と所定の基準電圧 V_{REF} とを比較し、当該比較の結果に応じて、誤差電流を出力し、当該誤差電流は直列接続されている抵抗素子R5とキャパシタC1からなるローパスフィルタに入力され、誤差電圧 V_{ER} が出力される。

【0027】

パルス幅変調部20は、npnトランジスタQN1、抵抗素子R3、R4及びコンパレータCOMP1によって構成されている。抵抗素子R3とR4は、トランジスタQN1のエミッタと接地電位との間に直列接続され、トランジスタQN1はベースに誤差電圧 V_{ER} が入力され、コレクタに定電圧 V_{CC} が供給される。

トランジスタQN1と抵抗素子R3とR4は、いわゆるエミッタフォロウを構成している。抵抗素子R3とR4の接続点N3から、誤差電圧 V_{ER} に基づいた電圧が出力される。ノードN3の出力電圧は、いわゆるパルス幅変調を行うための変調基準電圧である。当該変調基準電圧が、所定の周波数をもつ交流信号、例えば、本実施形態では三角波 V_{TR1} と比較され、パルス幅変調信号 V_{PWM1} を出力する。

【0028】

具体的に、図1に示すように、コンパレータCOMP1の同相（非反転）入力端子（+）にノードN3の出力電圧が入力され、反転入力端子（-）に所定の周期の三角波 V_{TR1} が入力される。このため、コンパレータCOMP1の出力端子から、誤差電圧 V_{ER} に応じてデューティが制御されるパルス幅変調信号 V_{PWM1} が出力される。

【0029】

モード制御部30は、図示のように、pMOSトランジスタQPM1、nMOSトランジスタQNM1、バッファDR01、DR02、DR03、DR04及びコンパレータCOMP2によって構成されている。

トランジスタQPM1とQNM1のゲートは、ともにコンパレータCOMP2の出力端子に接続されている。トランジスタQPM1のソースがパルス幅変調部20のコンパレータCOMP1の出力端子に接続され、ドレインがバッファDR01とDR02の入力端子に接続されている。トランジスタQNM1のドレインがトランジスタQPM1ドレインに接続され、ソースが接地されている。

コンパレータCOMP2の同相（非反転）入力端子に入力電圧 V_{IN} が印加され、反転入力端子には、基準電圧 V_2 が入力される。

バッファDR01とDR04は、インバータからなり、入力信号の論理反転信

号を出力し、バッファDR02とDR03は、入力信号をそのまま出力する。

【0030】

モード制御部30において、入力電圧 V_{IN} が基準電圧 V_2 より高いとき、コンパレータCOMP2の出力がハイレベルになる。このため、pMOSトランジスタQPM1が非導通にあり、nMOSトランジスタQNM1が導通状態にあるので、バッファDR01とDR02の入力端子がローレベルに保持される。また、このとき、パルス幅変調信号 V_{PWM1} はバッファDR03とDR04の入力端子に印加される。

一方、入力電圧 V_{IN} が基準電圧 V_2 より低いとき、コンパレータCOMP2の出力がローレベルにある。このため、pMOSトランジスタQPM1が導通状態にあり、nMOSトランジスタQNM1が非導通状態にあるので、パルス幅変調信号 V_{PWM1} は、バッファDR01～DR04の入力端子に印加される。

【0031】

スイッチング部40は、図示のように、スイッチング素子であるnMOSトランジスタQNM2、QNM3、QNM4、QNM5及びインダクタンス素子であるコイルL1によって構成されている。これらのスイッチング素子とインダクタンス素子は、いわゆるH型ブリッジを形成している。

トランジスタQNM2のゲートにバッファDR03の出力が印加され、トランジスタQNM3のゲートにバッファDR04の出力が印加され、トランジスタQNM4のゲートにバッファDR01の出力が印加され、トランジスタQNM5のゲートにバッファDR02の出力が印加される。

トランジスタQNM2のドレインに、入力電圧 V_{IN} が印加され、トランジスタQNM4のドレインから、出力電圧 V_{OUT} が出力される。なお、トランジスタのQNM4のドレインには、出力コンデンサ C_{OUT} が接続されている。

【0032】

ループゲイン補正部50は、図示のように、インバータINV1、nMOSトランジスタQNM6及び抵抗素子R6によって構成されている。インバータINV1の入力端子がモード制御部30のコンパレータCOMP2の出力端子に接続され、出力端子がトランジスタQNM6のゲートに接続されている。トランジス

タ QNM6 のソースが接地され、ドレインが抵抗素子 R6 を介してノード N3 に接続されている。ノード N3 は、パルス幅変調部 20 の抵抗素子 R3 と R4 の接続中点からなる。

【0033】

このように構成されているループゲイン補正部 50 において、モード制御部 30 のコンパレータ COMP2 の出力端子、即ちノード N5 がハイレベルのとき、インバータ INV1 の出力端子がローレベルに保持される。このため、トランジスタ QNM6 が非導通状態にあり、抵抗素子 R6 は、ノード N3 の変調基準電圧に影響を与えない。

【0034】

一方、コンパレータ COMP2 の出力端子がローレベルに切り替わったとき、インバータ INV1 の出力端子がハイレベルに切り替わり、トランジスタ QNM6 が導通状態になる。このとき、抵抗素子 R6 が抵抗素子 R4 と並列に接続される。このため、ノード N3 と接地電位間の抵抗値が抵抗素子 R4 と R6 が並列接続した抵抗値になり、抵抗素子 R6 が接続しないときに較べて抵抗値が低下するので、ノード N3 の電圧も低下する。これに応じて、コンパレータ COMP1 から出力されるパルス幅変調信号 V_{PWM1} のデューティも低くなる。

【0035】

次に、上述した構成を有する本実施形態の DC-DC コンバータの動作に説明する。

本実施形態の DC-DC コンバータにおいて、誤差検出回路 10 において出力電圧 V_{OUT} が抵抗素子 R1 と R2 によって分圧され、分圧電圧と基準電圧 V_{REF} が Gm アンプ GMAMP1 に入力される。Gm アンプ GMAMP1 及び抵抗素子 R5 とキャパシタ C1 からなるローパスフィルタによって、誤差電圧 V_{ER} が出力される。当該誤差電圧 V_{ER} がパルス幅変調部 20 に入力され、これに応じてデューティが制御されるパルス幅変調信号 V_{PWM1} が生成される。そして、モード制御部 30 によって指定した動作モードに応じて、パルス幅変調信号 V_{PWM1} に応じてスイッチング部 40 のスイッチング素子であるトランジスタ QNM2 ~ QNM5 がオン・オフするように制御されるので、所望の出力電圧 V_{OUT} が出力される。

【0036】

上述したように、本実施形態のDC-DCコンバータにおいて、出力電圧 V_{OUT} を制御するフィードバックループが形成されている。当該フィードバックループによって、出力電圧 V_{OUT} が所望の電圧になるように制御される。

フィードバックループは、所定のループゲインを有する。動作モードの切り替えによって、ループゲインが変化するので、動作モードが切り替わった直後に出力電圧 V_{OUT} が一時的に変動する。例えば、前述したように、ループゲインに対して補正を行わない場合、入力電圧 V_{IN} が低下して、動作モードが降圧モードから昇降圧モードに切り替わったとき、出力電圧 V_{OUT} が一時的に所望の値より高くなることがあった。

【0037】

本実施形態のDC-DCコンバータにおいて、動作モードが切り替わったとき、ループゲイン補正部50によって、フィードバックループの利得を補正し、動作モードの切り替えによる出力電圧 V_{OUT} の変動を抑制する。例えば、入力電圧 V_{IN} が基準電圧 V_2 より高い状態から、基準電圧 V_2 より低い状態に遷移したとき、コンパレータCOMP2の出力がハイレベルからローレベルに切り替わる。これに応じて、ループゲイン補正部50においてインバータINV1の出力信号がローレベルからハイレベルに切り替わり、トランジスタQNM6が導通状態になる。このため、抵抗素子R6が抵抗素子R4と並列に接続される。

【0038】

これに応じて、ノードN3の電圧が低下し、コンパレータCOMP1から出力されるパルス幅変調信号 V_{PWM1} のデューティが低くなるので、昇降圧モードで動作するスイッチング部40において、スイッチング素子であるトランジスタQNM2とQNM5が導通する時間が短くなり、出力電圧 V_{OUT} を下げる方向に制御が行われる。このため、従来のDC-DCコンバータにおいて動作モード切り替え直後に見られた出力電圧 V_{OUT} の一時的な上昇が抑制され、動作モードが変化しても出力電圧 V_{OUT} がほぼ所望の値に保たれる。即ち、本実施形態のDC-DCコンバータにおいて、動作モードの切り替えに伴って、ループゲイン制御部50により、出力電圧 V_{OUT} を制御するフィードバックループの利得を補正するこ

とによって動作モード切り替え直後に出力電圧 V_{OUT} が一時的に上昇することが回避され、出力電圧の安定性が改善される。

【0039】

図2は、本実施形態のDC-DCコンバータにおける動作モードが切り替わった前後の信号波形を示す波形図である。

図2に示すように、入力信号 V_{IN} のレベルが低下することによって、モード制御部30のコンパレータCOMP2の出力、即ちノードN5の電圧がハイレベルからローレベルに切り替わる。これに伴ってループゲイン補正部50が動作し、抵抗素子R6が抵抗素子R4と並列に接続されるので、パルス幅変調部20のノードN3の変調基準電圧が低下する。これによって、出力電圧 V_{OUT} を制御するフィードバックループの利得が補正されるので、出力電圧 V_{OUT} の上昇が抑制され、動作モードを変えても出力電圧 V_{OUT} をほぼ一定に保つことができる。

【0040】

図3は、比較のため、動作モードが切り替わる前後において、本発明のDC-DCコンバータ及び図8に示す従来のDC-DCコンバータの出力電圧を比較するための波形図である。図3に示すように、従来のDC-DCコンバータにおいて、動作モードが切り替わった直後に出力電圧 V_{OUT} が一時的に上昇し、その値が動作モード切り替え前の約2.795Vから最大で3.126Vまでに上昇する。即ち、出力電圧のピーク値が所望の理想値より約11.6%も上昇してしまう。

【0041】

これに対して、本実施形態のDC-DCコンバータにおいて、ループゲイン補正部50を設けることにより、動作モードが切り替わったとき、パルス幅変調部20の分圧用抵抗素子R4に抵抗素子R6が並列に接続され、フィードバックループの利得が下がる。これによって、パルス幅変調部20において、コンパレータCOMP1によって出力されるパルス幅変調信号 V_{PWM1} のデューティが低下し、出力電圧 V_{OUT} を下げる方向に制御が働く。この結果、図3に示すように、本実施形態のDC-DCコンバータにおいて、動作モードが切り替わったあと、出力電圧 V_{OUT} が理想値の2.795Vから2.847Vまでにわずかに上昇し、

出力電圧の変動は、1.9%以下に抑制される。

【0042】

以上説明したように、本実施形態によれば、出力電圧 V_{OUT} を制御するフィードバックループの利得を補正するループゲイン補正部50が設けられ、入力電圧 V_{IN} に従って動作モードが切り替わったとき、ループゲイン補正部50が動作し、フィードバックループの利得が下がるように制御が行われる。これによって、パルス幅変調部20によって出力されるパルス幅変調信号 V_{PWM1} のデューティが低くなり、出力電圧 V_{OUT} が下がる方向に制御される。このため、動作モードの切り替えにつれて出力電圧 V_{OUT} が一時的に上昇することを回避でき、出力電圧の安定性が向上し、負荷回路への影響を防止できる。

【0043】

第2実施形態

図4は本発明に係るDC-DCコンバータの第2の実施形態を示す回路図である。

図1に示す第1の実施形態に較べて、本実施形態のDC-DCコンバータは、ループゲイン補正部の構成だけが異なり、他の構成部分はほぼ同じである。このため、図4において図1と同じ構成部分に同じ符号を付して表記している。また、以下の説明では、第1の実施形態と異なる構成を有するループゲイン補正部50aについてのみ説明し、他の部分の説明を省略する。

【0044】

本実施形態のDC-DCコンバータにおいて、ループゲイン補正部50aは、図4に示すように、インバータINV1、npnトランジスタQN2及び抵抗素子R6によって構成されている。

【0045】

インバータINV1の入力端子がモード制御部30のコンパレータCOMP2の出力端子に接続され、出力端子がトランジスタQN2のベースに接続されている。トランジスタQN2のエミッタが接地され、コレクタが抵抗素子R6を介してノードN3に接続されている。

【0046】

即ち、図 1 に示す第 1 の実施形態に比較すると、本実施形態の DC-DC コンバータのループゲイン補正部において、nMOS トランジスタの代わりに、バイポーラトランジスタである npn トランジスタ QN2 を用いて、抵抗素子 R6 の接続を制御する。

【0047】

モード制御回路 30 において、コンパレータ COMP2 の出力がハイレベルのとき、ループゲイン補正部 50a のインバータ INV1 の出力がローレベルに保持されるので、トランジスタ QN2 が非導通状態にある。コンパレータ COMP2 の出力がハイレベルからローレベルに切り替わったとき、インバータ INV1 の出力がローレベルからハイレベルに切り替わり、トランジスタ QN2 が導通状態になる。このため、抵抗素子 R6 が抵抗素子 R4 と並列に接続され、これに応じてコンパレータ COMP1 によって出力されるパルス幅変調信号 V_{PWM1} のデューティが低下する。これによって、出力電圧 V_{OUT} の上昇が抑制され、動作モードの切り替えに影響されず、出力電圧 V_{OUT} をほぼ一定のレベルに保つことができる。

【0048】

第 3 実施形態

図 5 は本発明に係る DC-DC コンバータの第 3 の実施形態を示す回路図である。

図示のように、本実施形態の DC-DC コンバータは、ループゲイン補正部 50b を除く他の構成部分は、図 1 に示す第 1 の実施形態の各構成部分とほぼ同じである。以下、第 1 の実施形態と異なる構成を有するループゲイン補正部 50b についてのみ説明し、他の部分の説明を省略する。

【0049】

ループゲイン補正部 50b は、図 5 に示すように、インバータ INV1、ワンショット (One shot) 回路 OST1、nMOS トランジスタ QNM6 及び抵抗素子 R6 によって構成されている。

【0050】

インバータ INV1 の入力端子はモード制御回路 30 のコンパレータ COMP

2 の出力端子に接続されている。インバータ $INV1$ の出力信号がワンショート回路 $OST1$ に入力され、ワンショート回路 $OST1$ の出力信号がトランジスタ $QNM6$ のゲートに入力される。

トランジスタ $QNM6$ のソースが接地され、ドレインが抵抗素子 $R6$ を介してノード $N3$ に接続されている。

【0051】

即ち、本実施形態の $DC-DC$ コンバータのループゲイン補正部 $50b$ は、第 1 の実施形態のループゲイン補正部 50 に較べて、ワンショート回路 $OST1$ が追加された点では異なる。以下、本実施形態のループゲイン補正回路 $50b$ の動作について説明する。

【0052】

ワンショート回路 $OST1$ は、入力信号の立ち上がりエッジによってトリガーされ、所定の幅をもつパルス信号 S_p を出力する。

本実施形態のループゲイン補正部 $50b$ において、コンパレータ $COMP2$ の出力信号がハイレベルからローレベルに切り替わったとき、インバータ $INV1$ の出力信号がローレベルからハイレベルに立ち上がる。これに応じて、ワンショート回路 $OST1$ が動作し、インバータ $INV1$ の出力信号の立ち上がりエッジから所定の幅をもつパルス信号 S_p を出力する。

【0053】

入力電圧 V_{IN} の低下に伴ってモード制御部 30 によって動作モードの切り替えが行われたとき、コンパレータ $COMP2$ の出力信号がハイレベルからローレベルに切り替わる。これに応じて、インバータ $INV1$ の出力信号が立ち上がり、ワンショート回路 $OST1$ から所定の幅をもつパルス信号 S_p が出力される。パルスパルス信号 S_p がハイレベルの間、トランジスタ $QNM6$ が導通するので、抵抗素子 $R6$ が抵抗素子 $R4$ と並列に接続される。これによって、出力電圧 V_{OUT} を制御するフィードバックループの利得が下げられ、出力電圧 V_{OUT} の上昇が抑制される。

【0054】

前述したように、図 8 に示す従来の $DC-DC$ コンバータにおいて、動作モー

ドが切り替えた直後に出力電圧 V_{OUT} が一時的に上昇する。このため、本実施形態では、ループゲイン補正部 50b において、ワンショート回路 O S T 1 を用いて、動作モードが切り替わったあと所定の期間において、パルス幅変調部 20 の抵抗素子 R 4 に抵抗素子 R 6 を並列に接続し、フィードバックループの利得を下げる。これによって、ワンショート回路 O S T 1 によって出力されるパルス信号 S_p のパルス期間中、パルス幅変調信号 V_{PWM1} のデューティが低く制御されるので、出力電圧 V_{OUT} の一時的な上昇が抑制される。

【0055】

上述したように、本実施形態の DC-DC コンバータにおいて、ループゲイン補正部 50b にワンショート回路 O S T 1 が設けられ、動作モードの切り替えに応じて所定の幅をもつパルス信号 S_p が出力され、これに応じて抵抗素子 R 6 がパルス幅変調部 20 の抵抗素子 R 4 と並列に接続される。このため、動作モード切り替えのあと、ワンショート回路 O S T 1 のパルス期間中に、フィードバックループの利得が下げられ、出力電圧 V_{OUT} の上昇が抑制されるので、動作モードの切り替えに影響されることなく、出力電圧 V_{OUT} をほぼ一定に保つことができる。

【0056】

第4実施形態

図6は本発明に係る DC-DC コンバータの第4の実施形態を示す回路図である。

本実施形態の DC-DC コンバータは、上述した第3の実施形態と同じように、ループゲイン補正部にワンショート回路 O S T 1 を用いてるが、本実施形態のループゲイン補正部 50c では、抵抗素子 R 7 の接続が異なる。

【0057】

以下、本実施形態のループゲイン補正部 50c の構成及び動作についてそれぞれ説明する。

図6に示すように、ループゲイン補正部 50c は、インバータ I N V 1、ワンショート回路 O S T 1、nMOS トランジスタ Q N M 6 及び抵抗素子 R 7 によって構成されている。

【0058】

インバータ INV1 の入力端子がモード制御部 30 のコンパレータ COMP2 の出力端子に接続され、出力端子がワンショート回路 OST1 の入力端子に接続されている。

ワンショート回路 OST1 の出力端子がトランジスタ QNM6 のゲートに接続されている。

トランジスタ QNM6 のソースが接地され、ドレインが抵抗素子 R7 を介して、ノード N2 に接続されている。

【0059】

即ち、本実施形態のループゲイン補正部 50c において、トランジスタ QNM6 のソースに接続されている抵抗素子 R7 の他方の端子がノード N3 ではなく、ノード N2 に接続されている点では、図 5 に示す本発明の第 3 の実施形態と異なる。

【0060】

本実施形態のループゲイン補正部 50c において、モード制御部 30 によって動作モードが切り替えられたとき、ワンショート回路 OST1 から所定の幅をもつパルス信号 S_p が出力される。これに応じて、トランジスタ QNM6 が導通し、等価的に抵抗素子 R7 がノード N2 と接地電位との間に接続される。

【0061】

このとき、ノード N2 と接地電位間に、直列接続されている抵抗素子 R5 とキャパシタ C1 からなるローパスフィルタと並列に抵抗素子 R7 が接続される。即ち、Gm アンプ GMAMP1 の出力端子に接続されているローパスフィルタの利得が低くなるので、ノード N2 から出力される誤差電圧 V_{ER} の電圧が低下する。これに応じて、パルス幅変調部 20 において、ノード N3 の電圧も低下し、コンパレータ COMP1 から出力されるパルス幅変調信号 V_{PWM1} のデューティが低くなる。これによって出力電圧 V_{OUT} の上昇傾向が抑制される。

【0062】

以上説明したように、本実施形態の DC-DC コンバータにおいて、ループゲイン補正部 50c を設けることによって、動作モードの切り替えに従って出力電

圧 V_{OUT} を制御するフィードバックループの利得が低くなるように制御が行われる。これによって、動作モードの切り替えに伴う出力電圧 V_{OUT} の一時的な上昇が抑制され、出力電圧 V_{OUT} の安定性が改善される。

【0063】

第5実施形態

図7は本発明に係るDC-DCコンバータの第5の実施形態を示す回路図である。

図示のように、本実施形態のDC-DCコンバータは、図1に示す本発明の第1の実施形態とほぼ同じ構成を有する。ただし、本実施形態では、モード制御部30aにおいて、バッファDR01'とDR03'は、第1の実施形態のバッファDR01とDR03とは異なり、また、スイッチング部40aにおいて、バッファDR01'及びDR03'の出力信号によって制御されるスイッチング素子は、pMOSトランジスタQPM2及びQPM3からなる。

【0064】

本実施形態のモード制御部30aにおいて、バッファDR01'は、入力信号を反転せず出力する。一方、バッファDR03'は、入力信号を反転して出力する。

【0065】

このため、本実施形態のDC-DCコンバータにおいて、入力電圧 V_{IN} が基準電圧 V_2 より高いとき、モード制御部30aにおいて、コンパレータCOMP2の出力がハイレベルに保持されるので、トランジスタQNM1が導通状態にあり、これに応じてノードN4がローレベルに保持される。このとき、バッファDR01'とDR02の出力端子がともにローレベルに保持される。これに応じて、スイッチング部40aにおいて、トランジスタQPM3が導通状態、トランジスタQNM5が非導通状態に保持されるので、DC-DCコンバータは降圧モードで動作する。このとき、パルス幅変調部20から出力されるパルス幅変調信号 V_{PWM1} に応じて、トランジスタQPM2とQNM3が交互にオン・オフするように制御されるので、出力電圧 V_{OUT} が所望のレベルに保持される。

【0066】

入力電圧 V_{IN} が基準電圧 V_2 より低くなると、モード制御部 30a において、コンパレータ COMP 2 の出力信号がローレベルになり、これに応じてトランジスタ QNM1 が非導通状態となり、トランジスタ QPM1 が導通状態となる。このため、パルス幅変調部 20 から出力されるパルス幅変調信号 V_{PWM1} がバッファ DR01', DR02, DR03', DR04 に入力される。これらのバッファの出力信号に応じて、スイッチング部 40a において、トランジスタ QPM2 と QNM5 が導通し、トランジスタ QPM3 と QNM3 が非導通の状態と、この逆の状態が交互に制御される。さらに、出力電圧 V_{OUT} と基準電圧 V_{REF} に基づき、フィードバックループによってパルス幅変調部 20 から出力されるパルス幅変調信号 V_{PWM1} のデューティが制御される。これによって、出力電圧 V_{OUT} が所望の値に保たれる。

【0067】

さらに、本実施形態の DC-DC コンバータにおいて、ループゲイン補正部 50 が設けられ、当該ループゲイン補正部 50 により、動作モードが切り替わったとき、フィードバックループの利得が制御され、動作モードの切り替えによる出力電圧 V_{OUT} の一時的な上昇が抑制され、出力電圧 V_{OUT} の安定性が改善される。

【0068】

なお、上述した実施形態以外にも、本発明の DC-DC コンバータは他の構成をとることも可能である。例えば、誤差検出部 10 において、Gm アンプ GMA MP1 の代わりに、電圧出力型の差動増幅回路を用いることもできる。また、パルス幅変調部 20 において、バイポーラトランジスタ QN1 の代わりに、MOS トランジスタ、例えば nMOS トランジスタを用いることもできる。その他にも、本発明の DC-DC コンバータは、種々の変形例があることはいうまでもない。

【0069】

【発明の効果】

以上説明したように、本発明の DC-DC コンバータによれば、入力電圧に応じて動作モードが切り替わったとき、出力電圧を制御するフィードバックループ

の利得を補正することによって、動作モードの切り替えによる出力電圧の一時的な変動を抑制することができ、動作モードの切り替えに影響されることなく、常に安定した出力電圧を負荷回路に供給することができる利点がある。

【図面の簡単な説明】

【図 1】

本発明に係る DC-DC コンバータの第 1 の実施形態を示す回路図である。

【図 2】

DC-DC コンバータの第 1 の実施形態の動作を示す波形図である。

【図 3】

動作モードの切り替えに伴う従来の DC-DC コンバータと本発明の DC-D
C コンバータの出力電圧の変動を比較するための波形図である。

【図 4】

本発明に係る DC-DC コンバータの第 2 の実施形態を示す回路図である。

【図 5】

本発明に係る DC-DC コンバータの第 3 の実施形態を示す回路図である。

【図 6】

本発明に係る DC-DC コンバータの第 4 の実施形態を示す回路図である。

【図 7】

本発明に係る DC-DC コンバータの第 5 の実施形態を示す回路図である。

【図 8】

従来の DC-DC コンバータの一構成例を示す回路図である。

【図 9】

従来の DC-DC コンバータの動作を示す波形図である。

【符号の説明】

1 0…誤差検出部、

2 0…パルス幅変調部、

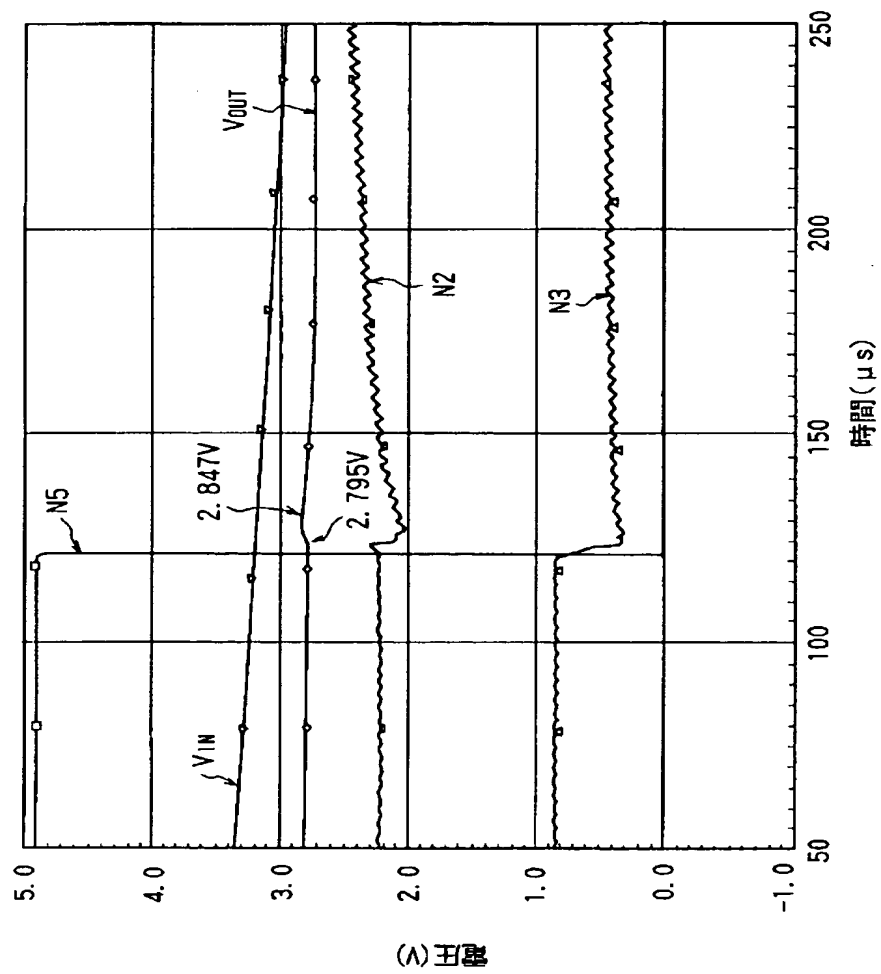
3 0, 3 0 a…モード制御部、

4 0, 4 0 a…スイッチング部、

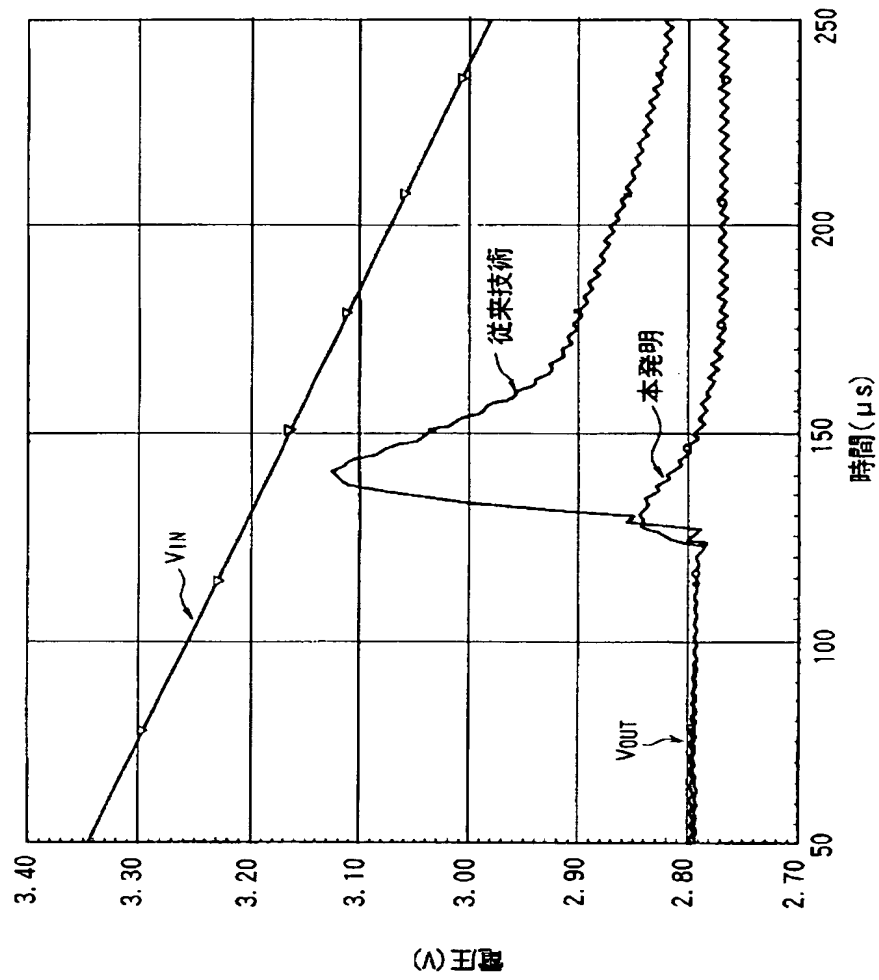
5 0, 5 0 a, 5 0 b, 5 0 c…ループゲイン補正部、

V_{IN} …入力電圧、 V_{OUT} …出力電圧。

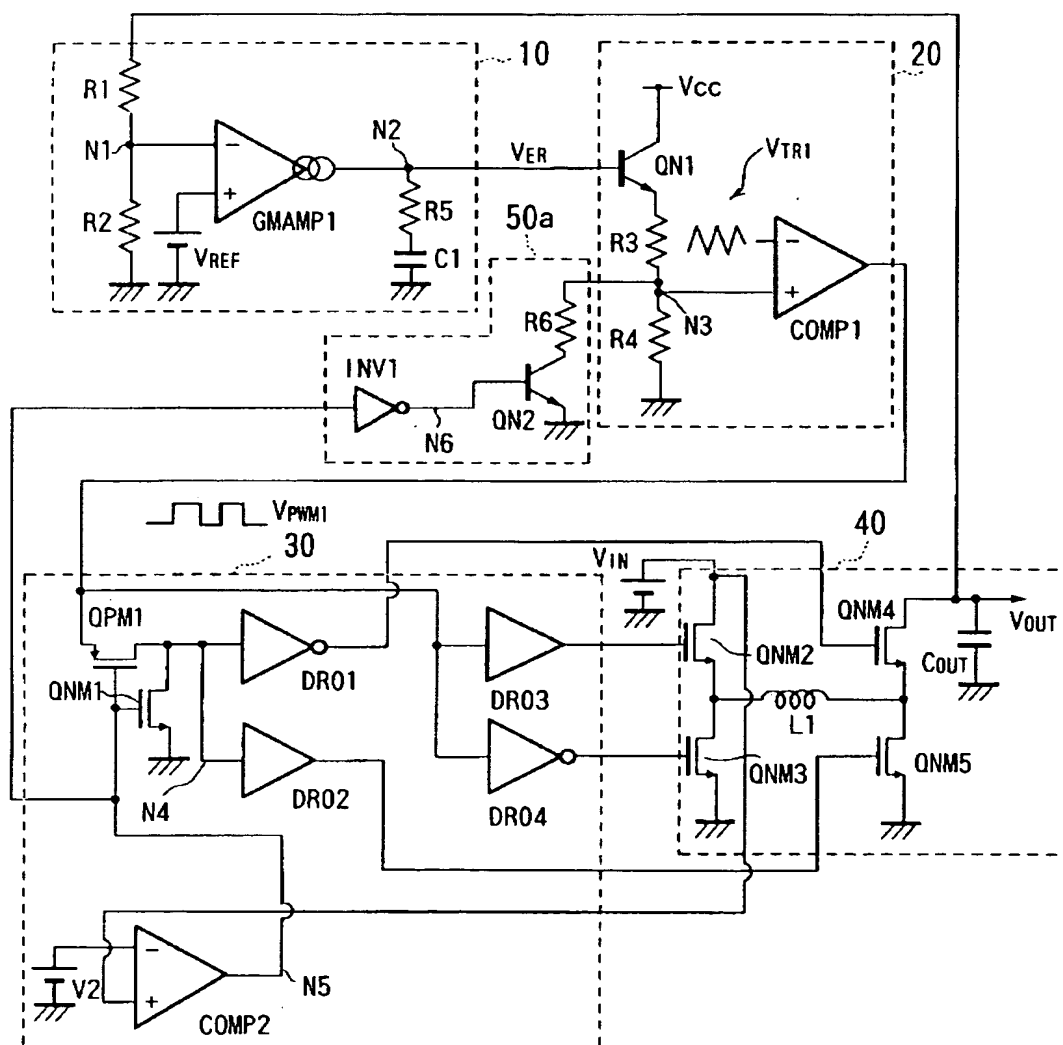
【図 2】



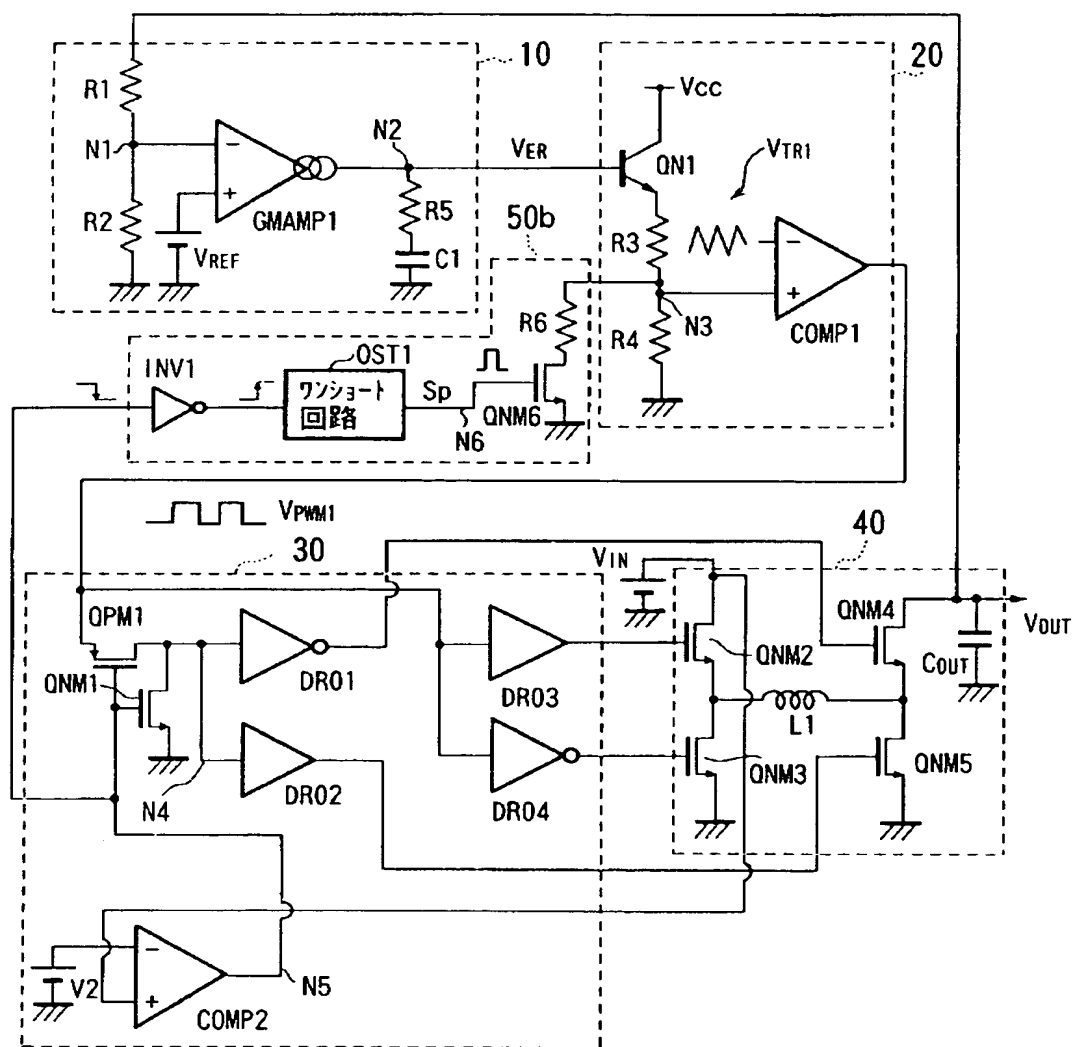
【図 3】



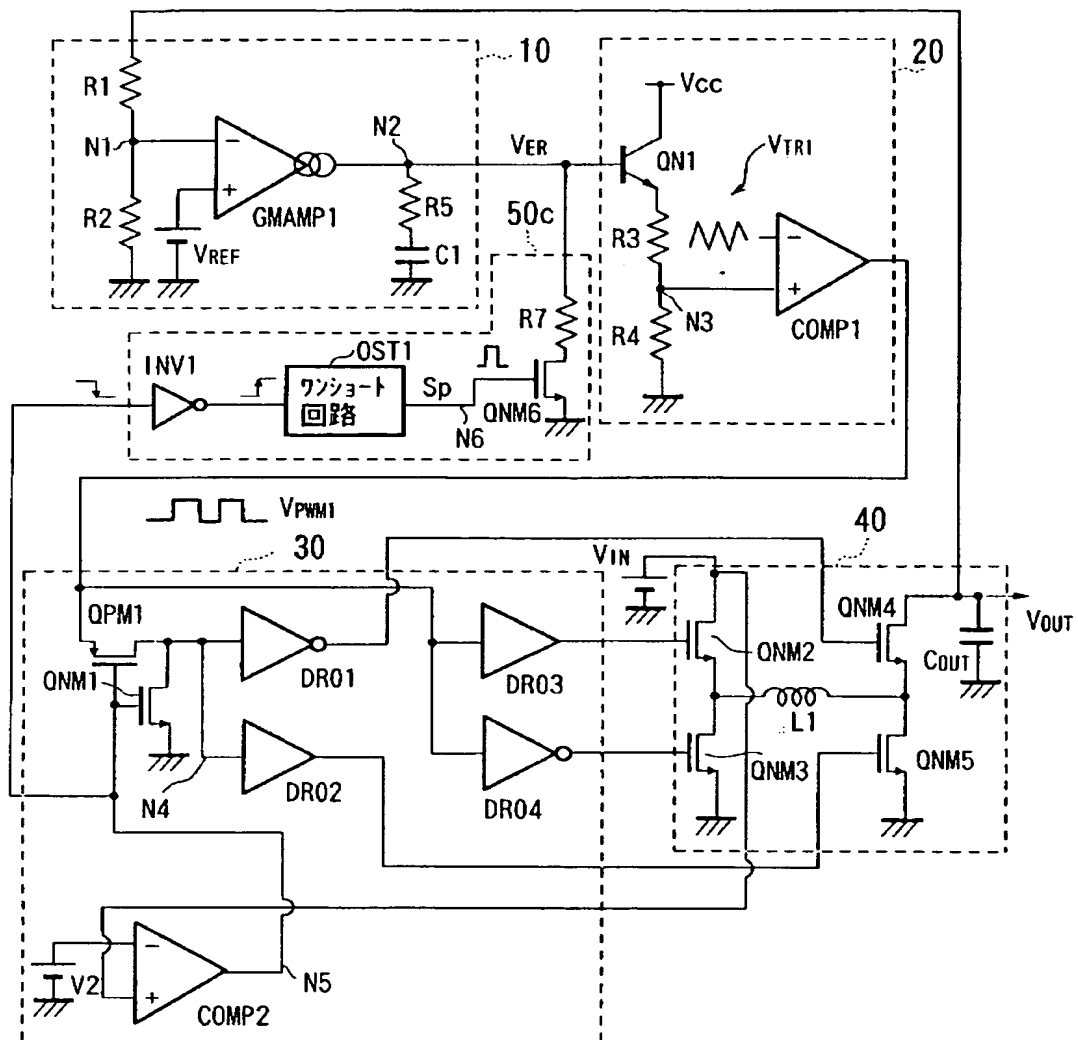
【図 4】



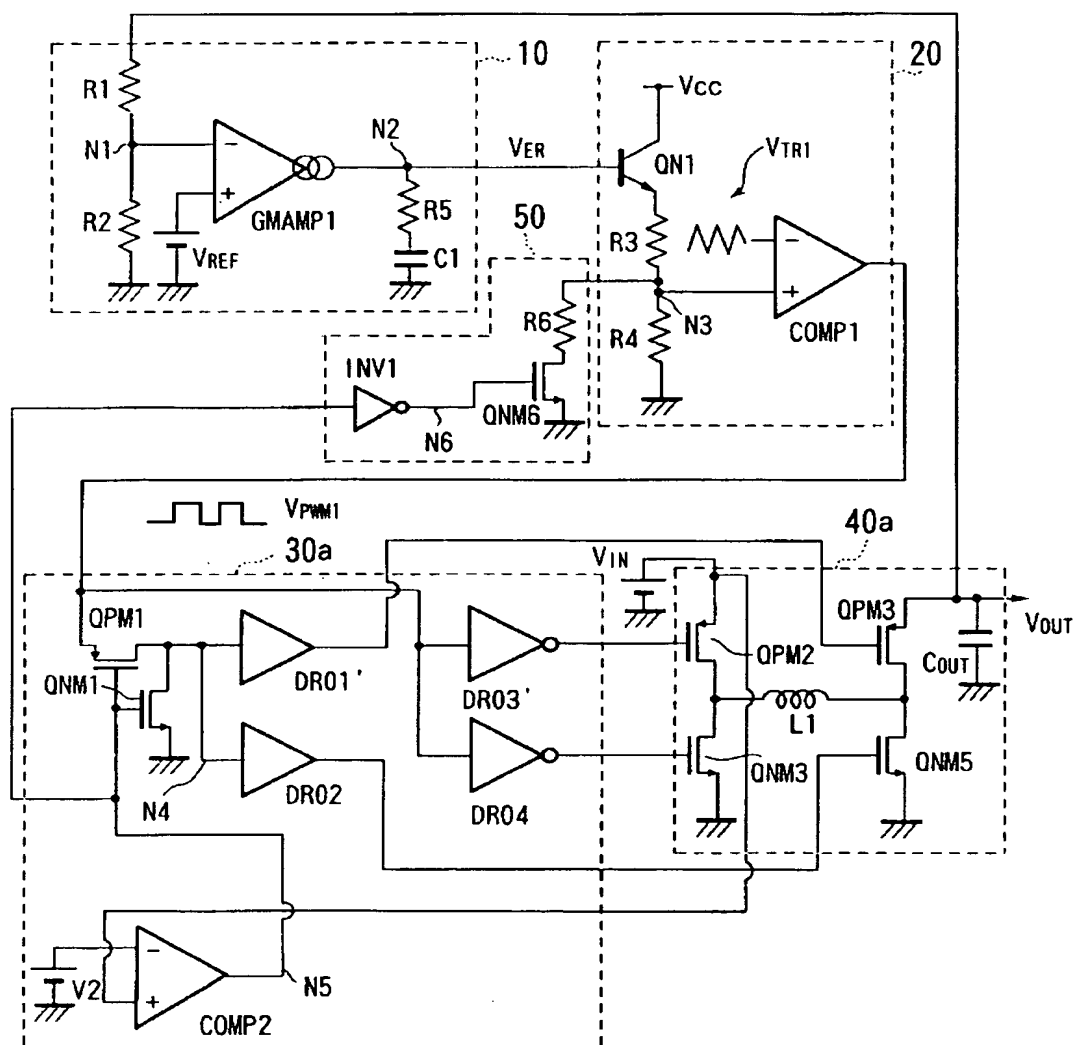
【図 5】



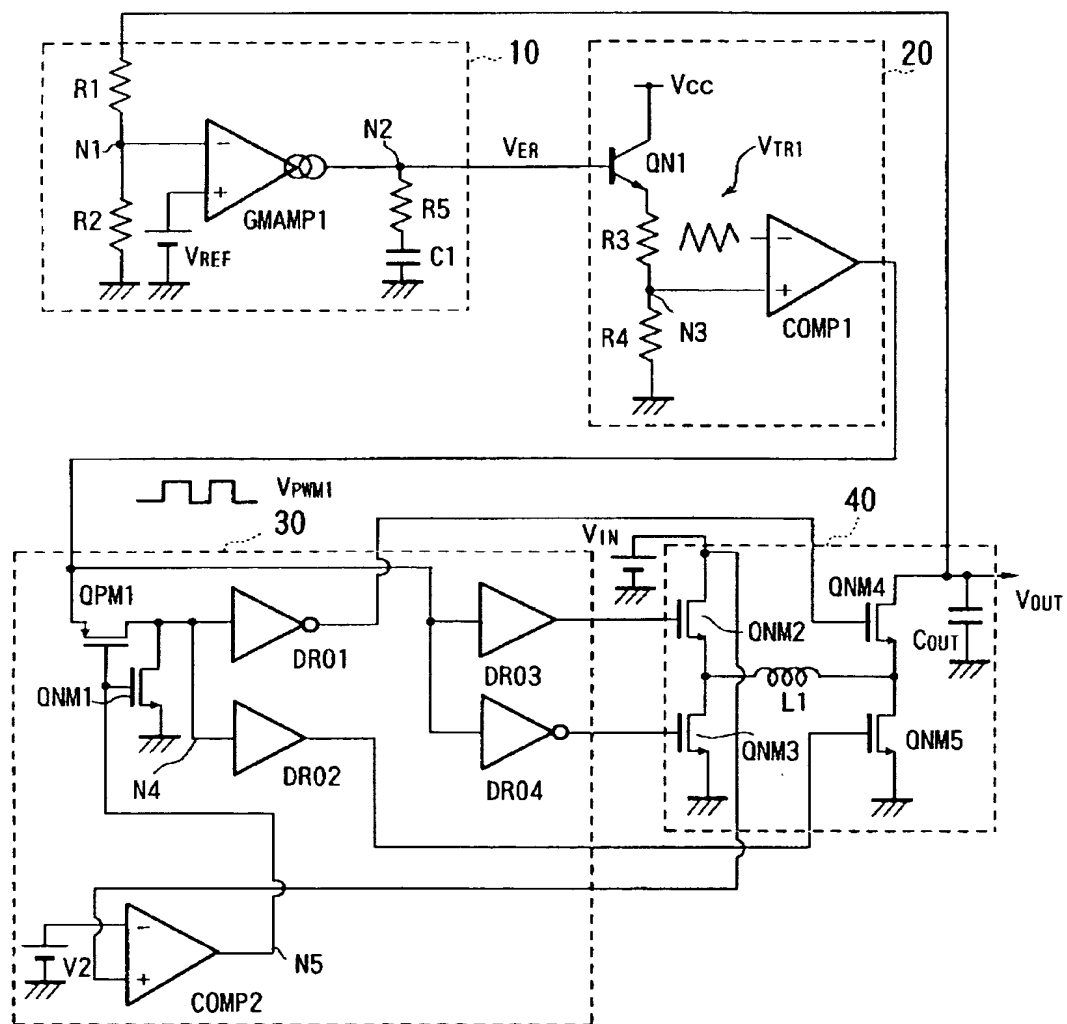
【図 6】



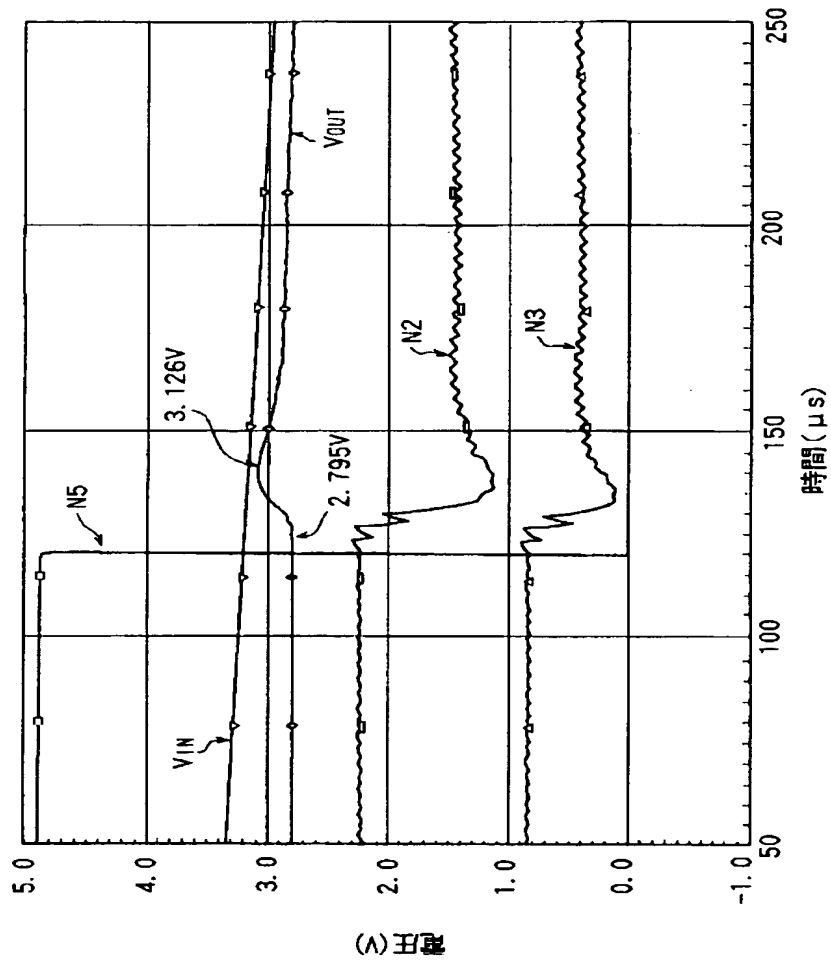
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 動作モードの切り替えに応じてループゲインを補正することで、動作モードの切り替えに伴う出力電圧の変動を最小限に抑制できる DC-DC コンバータを提供する。

【解決手段】 出力電圧 V_{OUT} を制御するフィードバックループの利得を補正するループゲイン補正部 50 を設けて、入力電圧 V_{IN} に従って動作モードを切り替えたとき、ループゲイン補正部 50 によって、フィードバックループの利得を下げるように制御を行う。これによって、パルス幅変調部 20 によって出力されるパルス幅変調信号 V_{PWM1} のデューティが低くなり、出力電圧 V_{OUT} が下がる方向に制御されるので、動作モードの切り替えに伴って出力電圧 V_{OUT} が一時的に上昇することを回避でき、出力電圧の安定性が向上し、負荷回路への影響を防止できる。

【選択図】 図 1

特願 2 0 0 2 - 3 1 8 3 2 7

出 願 人 履 歴 情 報

識別番号

[3 9 0 0 2 0 2 4 8]

1 . 変更年月日

1 9 9 9 年 1 1 月 1 9 日

[変更理由]

住所変更

住 所

東京都新宿区西新宿六丁目 2 4 番 1 号

氏 名

日本テキサス・インスツルメンツ株式会社